

PATENT  
2557-000190/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: CHANG-HO CHO

Application No.: NEW

Filed: February 6, 2004

For: MOLD DIE FOR MOLDING CHIP ARRAY, MOLDING EQUIPMENT INCLUDING THE SAME, AND METHOD FOR MOLDING CHIP ARRAY

PRIORITY LETTER

February 6, 2004

COMMISSIONER FOR PATENTS  
P.O. BOX 1450  
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0008010	February 8, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY & PIERCE, P.L.C.

By

John A. Castellano, Reg. No. 35,094  
P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

JAC: jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0008010  
Application Number

출 원 년 월 일 : 2003년 02월 08일  
Date of Application FEB 08, 2003

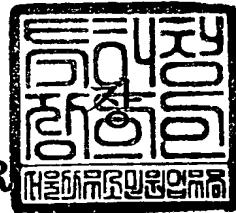
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 28 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.08
【국제특허분류】	H01L
【발명의 명칭】	칩 어레이 롤딩용 롤드 다이, 그것을 포함하는 롤딩 장치 및 칩 어레이 롤딩 방법
【발명의 영문명칭】	Mold die for chip array-molding, array-molding equipment comprising the mold die and chip array-molding method
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	조장호
【성명의 영문표기】	CHO, Chang Ho
【주민등록번호】	700215-1000811
【우편번호】	137-947
【주소】	서울특별시 서초구 잠원동 대림아파트 6-706
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020030008010

출력 일자: 2003/9/2

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	6	면	6,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	15	항	589,000	원
【합계】			624,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

칩 어레이 몰딩용 몰드 다이, 이를 포함하는 몰딩 장치 및 몰딩 방법에 대하여 개시한다. 본 발명에 의한 칩 어레이 몰딩 방법은 캐버티 내를 흐르는 몰드 용 수지의 흐름이 만나는 위치가, 어레이된 반도체 칩의 모퉁이에 생기도록 몰딩 공정을 실시한다. 이를 위한 칩 어레이 몰딩 장치의 몰드 다이는 몰드용 수지가 메워지게 되는 공간인 캐버티를 한정하는 캐버티 블록 및 이 캐버티 블록으로 주입되는 몰드용 수지가 통과하며 캐버티의 입구 공간인 게이트를 한정하는 게이트 블록을 포함하는데, 여기서 게이트 블록은 캐버티 블록의 모퉁이에 위치하고 있다.

**【대표도】**

도 4a

**【색인어】**

패키지, 몰딩 공정, 와이어 스위핑, 칩 어레이 몰딩

**【명세서】****【발명의 명칭】**

칩 어레이 몰딩용 몰드 다이, 그것을 포함하는 몰딩 장치 및 칩 어레이 몰딩 방법{Mold die for chip array-molding, array-molding equipment comprising the mold die and chip array-molding method}

**【도면의 간단한 설명】**

도 1a는 종래 기술에 의한 칩 어레이 몰딩용 몰드 다이의 캐버티 및 게이트의 배치를 도시하고 있는 개략적인 도면이고,

도 1b는 도 1a의 캐버티 및 게이트 구성을 가진 캐버티 블록 및 게이트 블록을 포함하는 칩 어레이 몰딩용 몰드 다이에 대하여 I-I'선을 따라 취한 개략적인 단면도이고,

도 2a 내지 도 2d는 종래 기술에 의한 칩 어레이 몰딩용 몰드 다이의 캐버티에 밀봉되어 나가는 몰드용 수지의 흐름을 순차적으로 도시한 도면이고,

도 3은 도 1a의 캐버티에 밀봉되어 나가는 몰드용 수지의 흐름을 단위 칩에 대하여 도식화한 도면이고,

도 4a는 본 발명의 일 실시예에 따른 칩 어레이 몰딩용 몰드 다이의 캐버티 및 게이트의 배치를 도시하고 있는 개략적인 도면이고,

도 4b는 본 발명의 다른 실시예에 따른 칩 어레이 몰딩용 몰드 다이의 캐버티 및 게이트의 배치를 도시하고 있는 개략적인 도면이고,

도 4c는 본 발명의 또 다른 실시예에 따른 몰드 다이의 캐버티 및 게이트의 배치를 도시하고 있는 개략적인 도면이고,

도 5는 도 4a 내지 도 4c의 캐버티에 밀봉되어 나가는 몰드용 수지의 흐름을 단위 칩에 대하여 도식화한 도면이고,

도 6a 내지 도 6d는 도 4a의 구성을 가지는 몰드 다이의 캐버티에 밀봉되어 나가는 몰드용 수지의 흐름을 순차적으로 도시한 도면이다.

#### < 도면의 주요 부분에 대한 부호의 설명 >

10 : 칩 어레이 몰딩용 기판 12 : 반도체 칩

20 : 본딩 와이어 100 : 캐버티 블록

105 : 캐버티 110 : 게이트 블록

115 : 게이트

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 칩 어레이 몰딩용 몰딩 장치 및 칩 어레이 몰딩 방법에 관한 것으로, 보다 구체적으로는 캐버티 블록 및 게이트 블록을 포함하는 칩 어레이 몰딩용 몰드 다이, 이 몰드 다이를 포함하는 몰딩 장치 및 칩 어레이 몰딩 방법에 관한 것이다.

<16> 몰딩 공정(molding process)은 와이어 본딩이 완료된 반도체 칩을 화학 수지 등을 사용하여 밀봉하는 공정을 말한다. 즉, 몰딩 공정은 반도체 칩의 내부를

외부의 충격이나 열로부터 보호하기 위하여 반도체 칩을 몰딩용 수지 등으로 둘러싸는 공정이다. 몰딩용 수지는 반도체 칩의 내부로 수분이 침투하는 것을 방지하고, 외부의 기계적인 충격으로부터 내부를 보호하는 역할을 한다. 아울러 몰딩용 수지는 반도체 칩에서 발생하는 열을 외부로 효과적으로 배출시키는 역할도 한다.

<17> 이와 같은 몰딩 과정은 몰딩 장치의 일 요소인 몰드 다이에서 진행된다. 몰드 다이는 일반적으로 몰딩용 수지 포트(pot), 캐버티(cavity)가 한정되어 있는 캐버티 블록, 패들(paddle), 러너 블록 및 캐버티의 입구 공간인 게이트가 한정되어 있는 게이트 블록 등을 포함하고 있다. 하나의 포트에는 통상적으로 다수의 캐버티 블록이 배치되어 있는데, 통상적으로 2개, 4개 또는 6개 등이 좌우에 대칭적으로 배치되어 있다.

<18> 그리고, 몰딩 공정은 하나의 캐버티내에 로딩되는 반도체 칩의 수에 따라서 개별 몰딩과 칩 어레이 몰딩(chip array molding)으로 나눌 수 있다. 전자는 하나의 캐버티 블록 내에는 하나의 반도체 칩만이 로딩되는데 반하여, 후자의 경우에는 하나의 캐버티 블록 내에는 다수의 반도체 칩이 매트릭스 형태로 배열되어 로딩된다.

<19> 전자의 경우에는 화학 수지 게이트를 통하여 공급되는 몰드용 수지의 양은 많지가 않다. 반면, 후자의 경우에는 배열된 반도체 칩의 수에 따라서 많은 양의 몰드용 수지가 공급될 필요가 있다. 따라서, 동일한 특성을 가진 몰드용 수지를 사용하고, 동일한 온도 및 압력 등의 공정 조건에서 공정이 진행되는 경우, 개별

몰딩용 몰드 다이의 게이트는 입구가 좁으나, 칩 어레이 몰딩용 몰드 다이의 게이트는 일정한 폭을 가지고 있으며 상당히 넓다.

<20> 즉, 전자의 경우에는 하나의 점(point)을 통하여 몰드용 수지가 캐버티 내로 주입된다고 볼 수 있으며, 후자의 경우에는 상당한 폭을 가진 게이트(또는 좁은 입구인 경우에는 그 개수가 많음)를 통하여 많은 양이 동시에 공급된다는 점에서 큰 차이가 있다. 칩 어레이 몰딩에서는 많은 양의 몰딩용 수지가 동시에 캐버티에 주입되기 때문에, 몰딩용 수지가 반도체 칩에 미치는 영향이나 공정 레시피가 개별 몰딩과는 다르다. 칩 어레이 몰딩은 개별 몰딩에 비하여 생산성이 높고, 비용도 상당히 절약할 수 있기 때문에 현재 그 적용범위가 계속 증가하고 있다.

<21> 따라서, 개별 몰딩과 칩 어레이 몰딩은 몰딩 소요 시간, 몰딩용 수지의 압력 및 이로 인하여 초래되는 본딩된 와이어의 스위핑 정도가 서로 상이하다. 또한, 대부분의 패키지 방식에 적용되는 개별 몰딩과는 달리 칩 어레이 몰딩은 MCP(Multi Chip Package)와 SIP(System In Package)와 같은 일부 패키지 방식에만 적용이 된다는 점도 차이가 있다. 특히, 칩 스케일 패키지(CSP)에 대한 요구가 증가하면서, 칩 어레이 몰딩이 점점 더 많이 사용되고 있다.

<22> 도 1a에는 종래 기술에 의한 칩 어레이 몰딩용 몰드 다이의 캐버티 및 게이트의 배치가 개략적으로 도시되어 있다. 그리고, 도 1b에는 도 1a의 캐버티 및 게이트 배치를 가진 캐버티 블록 및 게이트 블록을 포함하는 칩 어레이 몰딩용 몰드 다이에 대하여 도 1a의 I-I'선을 따라 취한 개략적인 단면도가 도시되어 있다.

<23> 도 1a 및 도 1b를 참조하면, 칩 어레이 몰딩용 몰드 다이는 캐버티 블록(100) 및 게이트 블록(110)을 포함한다. 도면에 도시하지는 않았지만, 게이트 블록(110)의 측면에는 러너 블록이 배치되어 있으며, 이 러너 블록은 또한 포트와 연결되어 있다. 몰드 다이는 이와 같은 러너 블록 및 포트 등도 포함하여 구성된다.

<24> 캐버티 블록(100)의 하부에는 캐버티(105)를 한정하는 공간이 형성되어 있다. 캐버티(105)는 포트 및 러너 블록을 따라 흘러온 몰딩용 수지가 메워지는 공간이다. 따라서, 캐버티(105)에는 와이어(20) 본딩이 완료된 반도체 칩(12)이 다수 배열되어 있다. 이 반도체 칩(12)은 예컨대, 인쇄 회로 기판(10, PCB)에 부착되어 있다. 한 번에 몰딩되는 반도체 칩의 개수 및 모양에 따라 캐버티(105)의 형상은 달라지는데, 칩 어레이 몰딩용 몰드 다이에는 통상적으로 4개, 6개 또는 9개의 반도체 칩이 인쇄 회로 기판(10)에 부착되어 로딩된다.

<25> 그리고, 도 1a를 참조하면 알 수 있는 바와 같이, 칩 어레이 몰딩용 몰드 다이에 포함되는 게이트 블록(110)의 게이트(115) 폭은 상당히 크다. 칩 어레이 몰딩에서는 몰드용 수지가 경화되기 전에 전체 캐버티(105)를 몰드용 수지로 채워야 하기 때문에, 전술한 바와 같이 개별 몰딩과는 달리 캐버티(105)의 입구가 상당히 넓어야 한다.

<26> 도 2a 내지 도 2d에는 종래 기술에 의한 칩 어레이 몰딩용 몰드 다이의 캐버티에 밀봉되어 나가는 몰드용 수지의 흐름이 순차적으로 도시되어 있다. 캐버티(105) 및 게이트(115)의 배치는 도 1a의 경우와 동일하며, 도 2a 내지 도 2d는

이와 같은 배치에 대하여 몰딩용 수지의 흐름을 시뮬레이션 한 것이다. 도 1a의 몰드 다이를 이용한 공정의 특징은 게이트(115)의 크기가 장방형 캐버티(105)의 한 변의 길이와 거의 같으며, 하나의 캐버티(105)에는 4개의 반도체 칩(12)이 배열되어 있는 구조라는 점이다.

<27>      도 2a 내지 도 2d를 참조하면, 일정한 속도로 캐버티(105)를 메워가는 몰딩 용 수지가 첫 번째 열에 배열된 반도체 칩(12)을 만나면서, 그 부분에서의 속도가 감소한다는 사실을 알 수 있다. 즉, 다른 부분과는 달리 반도체 칩(12)이 배치되어 있는 부분에서는 상대적으로 몰딩용 수지의 전진 속도가 느리게 나타나고 있다.(도 2b 및 도 2d 참조) 이와 같은 현상은 전진하던 몰딩용 수지가 장애물(반도체 칩)을 만나 우회하면서 그 만큼 이동 경로가 길어지기 때문인 것으로 추정된다.

<28>      도 3에는 도 1a의 캐버티에 밀봉되어 나가는 몰딩용 수지의 흐름이 단위 칩을 중심으로 하여 보다 구체적으로 도시되어 있다. 도 3을 참조하면, 반도체 칩(12)은 상부 반도체 칩(12a) 및 그 하부에 위치한 하부 반도체 칩(12b)으로 구성되어 있는 멀티 칩 패키지(MCP)의 일 형태이다. 그리고, 참조 번호 16은 본딩 패드를, 참조 번호 18은 와이어 접합 단자를 나타낸다.

<29>      도 2a 내지 도 2d의 도면에서와 같이, 반도체 칩(12)의 일 면에 대하여 수직으로 주입되는 몰딩용 수지는 반도체 칩을 만나면 그 부분에서 속도가 느려진다. 반도체 칩(12)의 측면부에서는 몰딩용 수지의 전진 속도가 빠르고, 중간 부분에서는 속도가 느린다. 결과적으로 몰딩용 수지의 전체적인 흐름은 반도체 칩

(12) 전체 또는 스택 구조의 멀티 칩 패키지(MCP)의 경우에는 상부 반도체 칩

(12a)을 우회하는 흐름이 만들어진다.

<30> 반도체 칩(12)을 우회하던 몰딩용 수지는 다시 반도체 칩이 없는 곳에서는 모든 방향으로 동일한 속도로 전진하게 된다. 그런데, 반도체 칩(12)이 존재하는 가운데 부분에서는 몰딩용 수지의 흐름이 아직 도착하지 않았기 때문에, 몰딩용 수지가 반도체 칩(12)의 양 측면에서 빨리 흐른다. 그 결과, 양 측면으로부터 빨리 흘러온 몰딩용 수지는 반도체 칩(12)의 뒷면(A)에서 서로 만나게 된다.

<31> 통상적으로 몰딩 과정에서는, 반도체 칩(12)에 본딩된 와이어(20)가 몰딩용 수지의 흐름에 영향을 받아서 한쪽으로 쏠리는 스위핑(sweeping) 현상이 발생한다. 스위핑 현상은 캐버티의 한쪽 공간으로 몰딩용 수지를 주입할 경우에는 피할 수 없는 현상이다.

<32> 멀티 칩 패키지(MCP)나 시스템 인 패키지(SIP)는 실장 면적을 획기적으로 감소시킬 수 있고 전기적인 특성도 향상시킬 수 있는 패키지 형태로서, 현재 모바일 장치를 비롯하여 여러 분야에 응용 분야가 확산되고 있다. 그런데, MCP나 SIP에서는 여러 개의 반도체 소자를 하나의 패키지에 조립하여 진행하기 때문에, 본딩되는 와이어의 길이도 그 만큼 길어진다. 와이어의 길이가 길어지면 스위핑 정도가 심하게 생긴다. 스위핑 현상이 심하면 불량이 발생할 가능성도 높다. 따라서, MCP나 SIP를 사용하고자 하는 경우에는 스위핑 현상을 고려하여 와이어 본딩의 위치 및 피치 등을 설계할 필요가 있다.

<33> 일반적인 경우, 몰딩용 수지가 흘러가는 방향에 수직으로 본딩된 다수의 와이어는 일정한 크기만큼 동일한 방향으로 스위핑되는 현상이 발생한다. 이 경우

에 스위핑의 정도가 허용 범위 이내인 경우에는 이웃한 와이어간이 서로 단락될 염려도 없으며, 이로 인하여 불량이 생기지는 않는다.

<34> 그러나, 서로 다른 방향으로부터 흘러운 몰딩용 수지가 만나는 곳에서는 문제가 생길 수 있다. 전술한 종래 기술에 의할 경우에 반도체 칩(12)의 뒷면에서 는 양 측면으로부터 전개되어온 몰딩용 수지의 흐름이 만난다. 그 결과 반도체 칩(12)의 뒷면에서는, 본딩된 와이어(20)들이 가운데 쪽 즉, 서로 반대 방향으로 쏠리게 된다.

<35> 그래서, 비록 개별 와이어의 스위핑 정도는 허용 범위이내일 지라도, A부분에서는 이와 같이 서로 반대 방향으로 스위핑된 와이어들이 연결될 수가 있다. 그 결과, 이웃한 본딩 와이어들 간이 단락되는 불량이 발생할 가능성이 높다. 특히, MCP나 SIP 방식을 사용할 경우에는 본딩 와이어의 길이가 길기 때문에, 와이어 단락에 의한 불량이 생길 가능성은 더욱 높다.

#### 【발명이 이루고자 하는 기술적 과제】

<36> 본 발명이 이루고자 하는 기술적 과제는 칩 어레이 몰딩에서 종전과는 달리 반도체 칩의 일 모퉁이에서 몰딩용 수지의 흐름이 만나게 할 수 있는 몰드 다이 및 이 몰드 다이를 포함하는 몰딩 장치를 제공하는데 있다.

<37> 본 발명이 이루고자 하는 다른 기술적 과제는 칩 어레이 몰딩에서 몰딩용 수지의 흐름이 만나는 경우에도, 이로 인하여 본딩된 와이어가 서로 단락되는 현상을 방지할 수 있는 칩 어레이 몰딩 다이, 이를 포함하는 몰딩 장치 및 칩 어레이 몰딩 방법을 제공하는데 있다.

### 【발명의 구성 및 작용】

<38> 상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 칩 어레이 몰딩용 몰드 다이는 몰딩용 수지가 메워지게 되는 공간인 캐버티를 한정하는 캐버티 블록 및 이 캐버티 블록으로 주입되는 몰딩용 수지가 통과하며 캐버티의 입구 공간인 게이트를 한정하는 게이트 블록을 포함하는데, 여기서 게이트 블록은 캐버티 블록의 모퉁이에 위치한다. 본 발명에 의하면, 칩 어레이 몰딩용 몰드 다이의 구성이 캐버티의 모퉁이에 게이트가 위치하는 구조로 되어 있기 때문에, 캐버티의 모퉁이로부터 몰딩용 수지가 메워지기 시작한다. 따라서, 게이트를 통하여 주입된 몰딩용 수지의 흐름이 반도체 칩의 뒤쪽 모퉁이 서로 만나도록 할 수 있다.

<39> 본 실시예의 일 측면에 의하면, 게이트는 소정의 크기의 폭을 가지는 형상이다. 따라서, 다수의 반도체 칩을 동시에 몰딩할 수 있는 칩 어레이용 몰드 다이 및 이를 포함하는 몰딩 장치에 적합하다. 그리고, 상기한 캐버티 블록과 상기한 게이트 블록은 일체형이거나 또는 조립형일 수 있다.

<40> 상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 의한 칩 어레이 몰딩용 몰드 다이는 몰딩용 수지가 메워지게 되는 공간인 장방형의 캐버티를 한정하는 캐버티 블록 및 이 캐버티 블록으로 주입되는 몰딩용 수지가 통과하는 공간이며 캐버티의 입구인 게이트를 한정하는 게이트 블록을 포함하는데, 여기서 상기한 게이트 블록은 캐버티 블록의 모퉁이에 위치하고, 게이트는 직각으로 겹여 있는 형상일 수 있다. 따라서, 본 실시예에 의하면 장방형 캐버티의 일 모퉁이로부터 몰딩용 수지가 유입되어 전체 캐버티를 메우게 된다.

<41> 본 실시예의 일 측면에 의하면, 상기한 게이트는 캐버티의 모퉁이를 중심으로 한 양변의 일정 부분과 연결되어 소정의 크기의 폭을 가지는 형상일 수 있다.

<42> 이 경우에, 게이트의 폭은 장방형 캐버티의 작은 변 길이의 1/2 이상이고, 장방형 캐버티의 큰 변 길이보다는 작은 것이 바람직하다. 그리고 상기한 게이트는 캐버티의 모퉁이에 대하여 대칭인 형상일 수 있다. 또한, 상기한 캐버티 블록과 상기한 게이트 블록은 일체형이거나 또는 조립형일 수 있다.

<43> 상기한 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 의한 칩 어레이 몰딩용 몰드 다이는 몰딩용 수지가 메워지게 되는 공간이며 모가 따진 장방형 형상의 캐버티를 한정하는 캐버티 블록 및 이 캐버티 블록으로 주입되는 몰딩용 수지가 통과하는 공간이며 캐버티의 입구인 게이트를 한정하는 게이트 블록을 포함하며, 여기서 게이트 블록은 캐버티의 모가 따진 모퉁이에 위치할 수 있다.

<44> 본 실시예의 일 측면에 의하면, 상기한 게이트는 캐버티의 모가 따진 모서리와만 연결되거나 또는 모가 따진 모서리 및 변의 일정 부분과 연결되어 소정 크기의 폭을 가지는 형상을 가질 수 있다. 그리고, 상기한 캐버티 블록과 상기한 게이트 블록은 일체형이거나 또는 조립형일 수 있다.

<45> 상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 어레이 몰딩용 몰드 다이를 포함하는 몰딩 장치는 전술한 실시예에 기술된 어레이 몰딩 용 몰드 다이 중 하나를 포함하는 몰딩 장치일 수 있다.

<46> 상기한 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 몰딩 방법은 캐버티에 주입된 몰딩용 수지의 흐름이 반도체 칩의 후면에서 집합되는 지점은 몰딩된 와이어가 존재하지 않는 곳이 되도록 몰딩용 수지를 주입한다.

<47> 본 실시제의 일 측면에 의하면, 이와 같은 반도체 칩의 몰딩 방법은 칩 어레이 몰딩 방법일 수 있으며, 그리고 이 경우에 몰딩용 수지가 캐버티의 모퉁이로 주입될 수도 있다.

<48> 이하, 첨부된 도면을 참조하여 본 발명이 구체적으로 적용되는 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것이다. 도면들에 있어서, 각 구성 요소들은 본 발명의 이해를 위하여 필요한 범위에서 간략하게 도시하였다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소를 나타낸다.

<49> 도 4a, 도 4b 및 도 4c에는 각각 본 발명의 일 실시예에 따른 칩 어레이 몰딩용 몰드 다이의 캐버티 및 게이트의 배치가 개략적으로 도시되어 있다. 본 실시예에 의한 칩 어레이 몰딩용 몰드 다이의 구성은 캐버티 블록, 게이트 블록을 포함하며, 또한 도시하지는 않았지만 포트, 러너 블록 등을 포함한다.

<50> 도 4a, 도 4b 및 도 4c를 참조하면, 캐버티(205a, 205b, 205c) 및 게이트(215a, 215b, 215c)의 배치가 도시되어 있는데, 공통점은 게이트(215a, 215b,

215c)는 캐버티(205a, 205b, 205c)의 일 모퉁이에 배치된다는 것이다. 그리고, 도면에서 참조 번호 10은 기판을 나타낸다.

<51> 그리고, 몰딩용 수지가 캐버티(205a, 205b, 205c)와 직접 연결되는 몰딩용 수지의 주입 통로인 게이트(215a, 215b, 215c)는 소정의 폭을 가지고 있다. 이 점, 전술한 바와 같이 특정한 지점(point)을 통해서만 몰딩용 수지가 주입되는 개별 몰딩용 몰드 디자인은 다르다. 그리고, 상기한 캐버티(205a, 205b, 205c)를 한정하는 캐버티 블록(미도시) 및 게이트(215a, 215b, 215c)를 한정하는 게이트 블록(미도시)은 조립형 부품일 수도 있으며, 아니면 서로 일체를 이루고 있는 것일 수도 있다.

<52> 이하에서는, 각 도면의 참조하여 본 발명의 실시예들을 보다 구체적으로 살펴보기로 한다.

<53> 먼저, 도 4a를 참조하면 캐버티(205a)는 장방형 모양이고, 게이트(215a)는 이 장방형의 일 모퉁이에 배치되어 있다. 따라서, 게이트(215a)의 모양은 'L' 자형으로 꺾여 있는 구조를 하고 있다. 그러나, 캐버티의 모퉁이는 반드시 'L'자형일 필요는 없으며, 그 위치에 따라 모양은 다를 수 있다. 또한, 반드시 직각으로 된 구조일 필요는 없으며, 일정한 곡률 반경을 가진 원호의 모양일 수도 있다.

<54> 캐버티(205a)의 모양이 장방형인 경우에, 게이트(215a) 폭의 크기는 장방형의 짧은 변 길이의 1/2보다는 큰 것이 바람직하다. 그러나, 이 보다 약간 작을 수도 있다. 그리고, 게이트(215a) 폭의 크기는 장방형의 긴 변의 길이보다는 작은 것이 바람직하다. 그러나, 마찬가지로 긴 변의 길이보다도 클 수도 있다. 또

한, 캐버티(205a)의 모양이 정방형인 경우에는 게이트(215a)의 모양은 정방형의 꼭지점에 대하여 대칭이 되는 모양일 수도 있다.

<55> 다음으로 도 4b를 참조하면, 캐버티(205b)는 전체적으로 장방형의 모양이나 한쪽 모퉁이의 모서리가 잘려 나간 모양 즉 모가 따진 장방형이다. 그리고, 게이트(215b)는 이 잘려 나간 모퉁이의 모양과 같이 직선형이다. 이 실시예에서도 게이트(215b)는 소정의 크기의 폭을 가지는데, 다만 이 실시예에서는 반도체 칩이 배치되는 공간과의 관계에서 게이트(215b)의 크기를 충분히 크게 만들 수 없는 한계가 있다.

<56> 다음으로 도 4c를 참조하면, 캐버티(205c)는 도 4b와 같이 전체적으로 장방형의 모양이나 한쪽 모퉁이의 모서리가 잘려 나간 모양 즉 모가 따진 장방형이다. 그러나, 게이트(205c)의 모양은 도 4b의 실시예와는 다르다. 본 실시예에 의한 게이트(205c)는 직선 모양이 아니라 소정의 각도로 꺾여 있는 모양이다. 이는 도 4b의 실시예에서 게이트의 모양을 충분하게 크게 만들 수 없는 한계를 보완하기 위한 것이다. 즉, 본 실시예에 의한 게이트(205c)의 모양은 모가 잘려 나간 모퉁이 만이 아니라 양변의 일부에도 걸쳐 있는 모양이다.

<57> 도 5에는 도 4a 내지 도 4c의 캐버티에 밀봉되어 나가는 몰딩용 수지의 흐름이 단위 칩에 대하여 도식화되어 도시되어 있다. 도 5를 참조하면, 반도체 칩(12)에 대하여 대각선 방향으로 진행하는 몰딩용 수지는 하부 반도체 칩(12b) 및 / 또는 상부 반도체 칩(12a)을 만나면서 흐름이 변한다. 즉, 측면에서의 흐름은 빠르고 가운데 부분에서의 흐름이 느려진다. 그 결과, 반도체 칩(12)의 뒤쪽 모

통이에서 몰딩용 수지가 만나는 흐름이 생긴다. 몰딩용 수지의 흐름은 화살표로 표시되어 있고, 몰딩용 수지가 만나는 위치는 도면에서 'B'로 표시되어 있다.

<58>      도 6a 내지 도 6d에는 도 4a의 구성을 가지는 몰드 다이의 캐버티에 밀봉되어 나가는 몰딩용 수지의 흐름이 순차적으로 도시되어 있다. 도시된 도면을 자세히 살펴보면, 장방형 모양의 캐버티(210)에 대하여 대각선 방향으로 몰딩용 수지의 흐름이 만나는 곳이 생기는 것을 알 수 있다.

<59>      본 발명의 실시예들은 와이어 본딩이 반도체 칩의 모퉁이 부근에서는 전혀 없거나 또는 측면에 비하여 와이어의 밀도가 낮아서 와이어간의 피치가 큰 반도체 칩 패키지 형태에 보다 유용하게 사용할 수 있다. 이와 같은 칩 패키지 형태는 모퉁이 부근에서는 몰딩용 수지의 흐름이 만나더라도 와이어 스위핑 현상이 생기지 않거나 또는 와이어 스위핑이 발생하더라도 이웃하는 와이어 사이에 단락이 생길 가능성이 그 만큼 적기 때문이다.

### 【발명의 효과】

<60>      본 발명에 의한 칩 어레이 몰딩용 몰드 다이를 포함하는 몰딩 장치 또는 칩 어레이 몰딩 방법을 사용하면, 칩 어레이 몰딩 공정에서 반도체 칩의 모퉁이에 몰딩용 수지가 만나는 흐름이 생기게 할 수 있다. 따라서, 와이어간의 피치가 작은 반도체 칩의 변에서 양 방향으로 발생하는 스위핑에 의한 단락 현상을 방지할 수 있다. 아울러, 와이어 본딩이 존재하지 않거나 상대적으로 와이어 피치가 넓은 지점에서 몰딩용 수지가 만나는 흐름이 생기게 할 수 있다.

1020030008010

출력 일자: 2003/9/2

<61> 특히, 본 발명에 의한 칩 어레이 몰딩 방법 및 몰딩 장치는 MCP나 SIP와 같은 형태의 패키지 또는 CSP 형태의 패키지에 유용하게 적용할 수 있다.

**【특허청구범위】****【청구항 1】**

다수의 반도체 칩을 동시에 몰딩하기 위한 어레이 몰딩용 몰드 다이에 있어서, 상기 몰드 다이는,  
몰딩용 수지가 메워지게 되는 공간인 캐버티를 한정하는 캐버티 블록  
(cavity block); 및  
상기 캐버티 블록으로 주입되는 상기 몰딩용 수지가 통과하며 상기 캐버티  
의 입구 공간인 게이트를 한정하는 게이트 블록(gate block)을 포함하고,  
상기 게이트 블록은 상기 캐버티 블록의 모퉁이에 위치하는 것을 특징으로  
하는 어레이 몰딩용 몰드 다이.

**【청구항 2】**

제1항에 있어서, 상기 게이트는 소정의 크기의 폭을 가지는 형상인 것을 특  
징으로 하는 어레이 몰딩용 몰드 다이.

**【청구항 3】**

제1항에 있어서, 상기 캐버티 블록과 상기 게이트 블록은 일체형이거나 또  
는 조립형인 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

**【청구항 4】**

다수의 반도체 칩을 동시에 몰딩하기 위한 어레이 몰딩용 몰드 다이에 있어서,  
상기 몰드 다이는,

몰딩용 수지가 메워지게 되는 공간인 장방형의 캐버티를 한정하는 캐버티

블록; 및

상기 캐버티 블록으로 주입되는 상기 몰딩용 수지가 통과하는 공간이며 상기 캐버티의 입구인 게이트를 한정하는 게이트 블록을 포함하고,

상기 게이트 블록은 상기 캐버티 블록의 모퉁이에 위치하고, 상기 게이트는 'L' 자형으로 꺾여 있는 형상인 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

#### 【청구항 5】

제4항에 있어서, 상기 게이트는 상기 캐버티의 모퉁이를 중심으로 한 양변의 일정 부분과 연결되어 소정의 크기의 폭을 가지는 형상인 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

#### 【청구항 6】

제5항에 있어서, 상기 게이트의 폭은 상기 캐버티의 작은 변 길이의 1/2 이상이고, 상기 캐버티의 큰 변 길이보다는 작은 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

#### 【청구항 7】

제4항에 있어서, 상기 게이트는 상기 캐버티의 모퉁이에 대하여 대칭인 형상인 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

#### 【청구항 8】

제4항에 있어서, 상기 캐버티 블록과 상기 게이트 블록은 일체형이거나 또는 조립형인 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

**【청구항 9】**

다수의 반도체 칩을 동시에 몰딩하기 위한 어레이 몰딩용 몰드 다이에 있어서, 상기 몰드 다이는,

몰딩용 수지가 메워지게 되는 공간이며 모가 따진 장방형 형상의 캐버티를 한정하는 캐버티 블록; 및

상기 캐버티 블록으로 주입되는 상기 몰딩용 수지가 통과하는 공간이며 상기 캐버티의 입구인 게이트를 한정하는 게이트 블록을 포함하고,

상기 게이트 블록은 상기 캐버티의 모가 따진 모퉁이에 위치하는 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

**【청구항 10】**

제9항에 있어서, 상기 게이트는 상기 캐버티의 모가 따진 모서리를 통해서만 연결되거나 또는 모가 따진 모서리 및 변의 일정 부분과 연결되어 소정 크기의 폭을 가지는 형상인 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

**【청구항 11】**

제9항에 있어서, 상기 캐버티 블록과 상기 게이트 블록은 일체형이거나 또는 조립형인 것을 특징으로 하는 어레이 몰딩용 몰드 다이.

**【청구항 12】**

칩 어레이 몰딩용 몰드 다이를 포함하는 몰딩 장치에 있어서, 상기 칩 어레이 몰딩용 몰드 다이는 제1항 내지 제11항의 칩 어레이 몰딩용 몰드 다이 중 하나인 것을 특징으로 하는 칩 어레이 몰딩용 몰드 다이를 포함하는 몰딩 장치.

**【청구항 13】**

캐버티 내에 위치한 와이어 본딩이 완료된 반도체 칩에 대하여 몰딩용 수지 를 사용하여 몰딩하는 방법에 있어서, 상기 캐버티에 주입된 상기 몰딩용 수지의 흐름이 상기 반도체 칩의 후면에서 집합되는 지점은 상기 몰딩된 와이어가 존재 하지 않는 곳이 되도록 하는 것을 특징으로 하는 반도체 칩의 몰딩 방법.

**【청구항 14】**

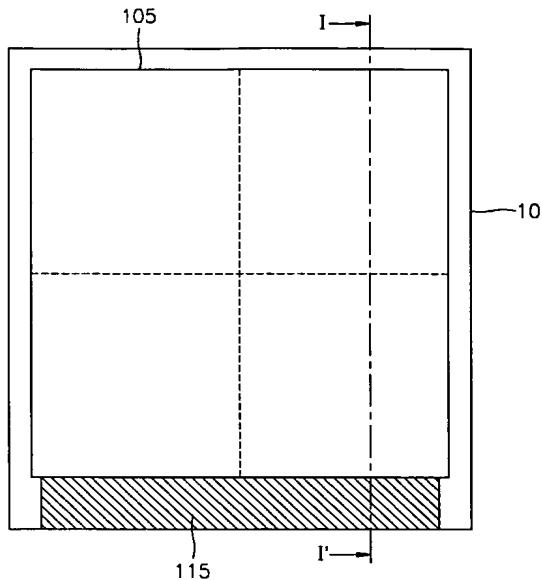
제13항에 있어서, 상기 반도체 칩의 몰딩 방법은 칩 어레이 몰딩 방법인 것 을 특징으로 하는 반도체 칩의 몰딩 방법.

**【청구항 15】**

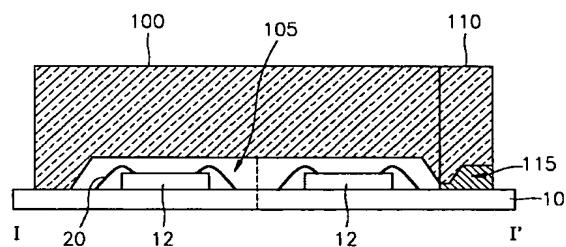
제14항에 있어서, 상기 몰딩용 수지가 상기 캐버티의 모퉁이로 주입되는 것 을 특징으로 하는 반도체 칩의 몰딩 방법.

## 【도면】

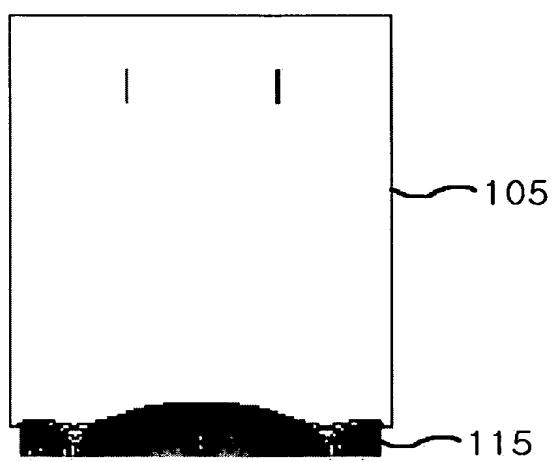
【도 1a】



【도 1b】



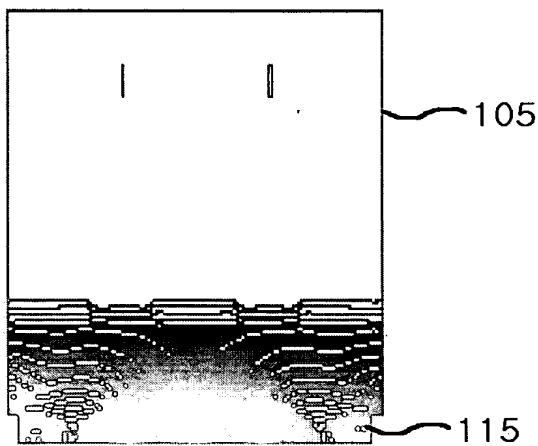
【도 2a】



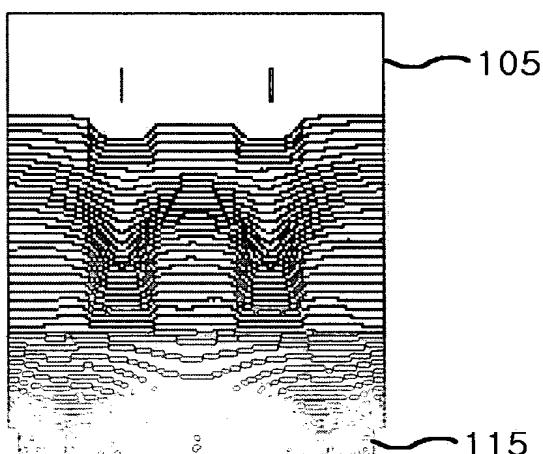
1020030008010

출력 일자: 2003/9/2

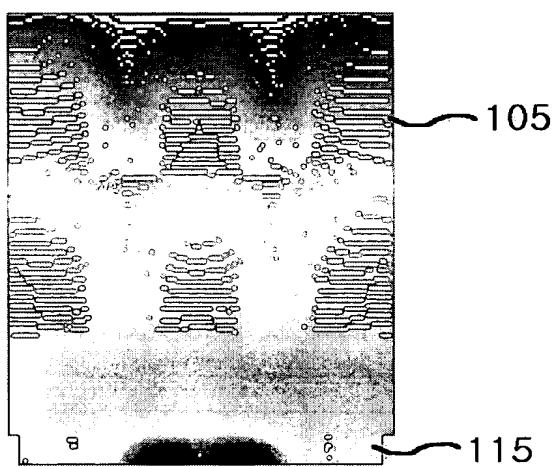
【도 2b】



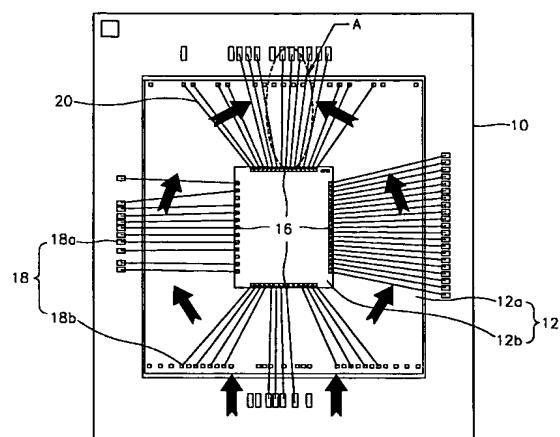
【도 2c】



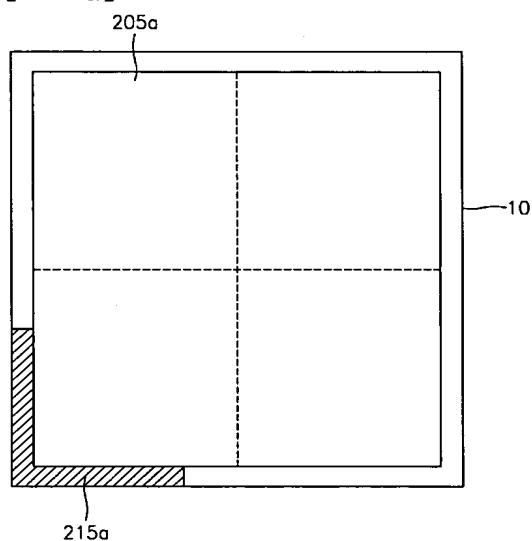
【도 2d】



【도 3】



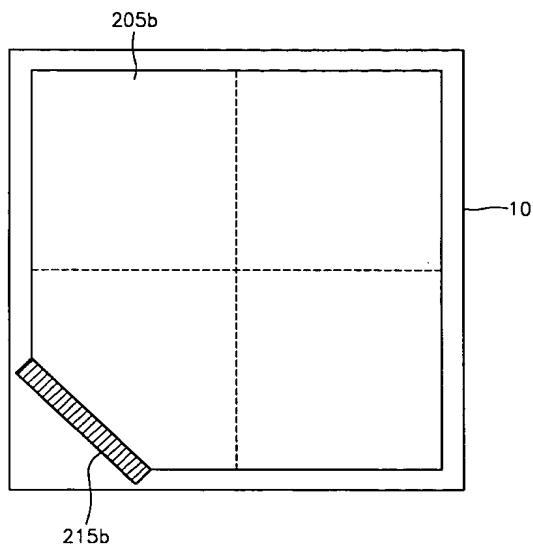
【도 4a】



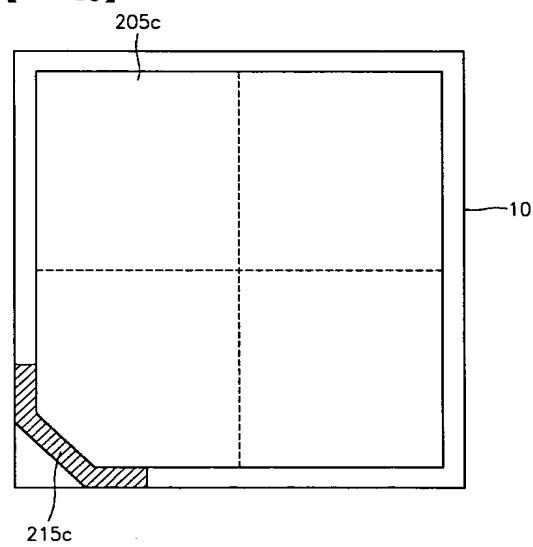
1020030008010

출력 일자: 2003/9/2

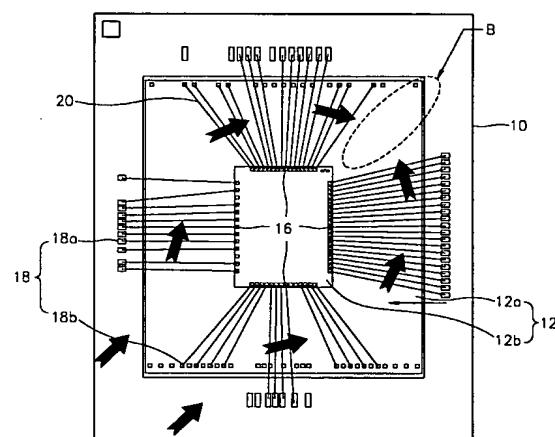
【도 4b】



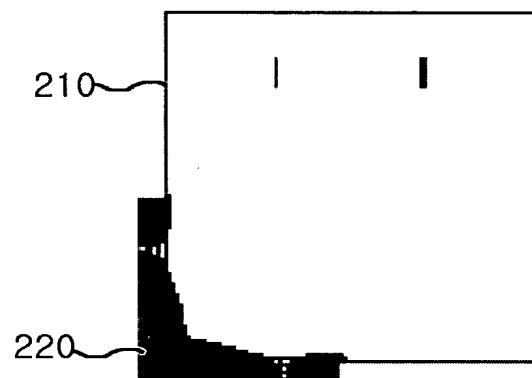
【도 4c】



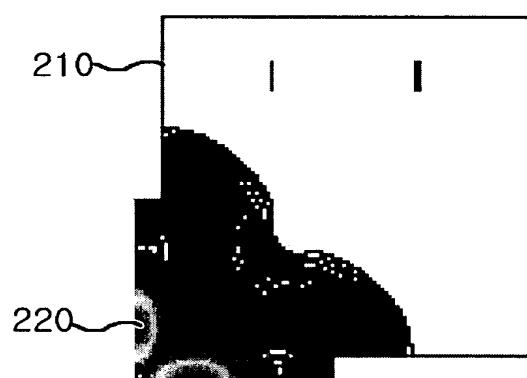
【도 5】



【도 6a】



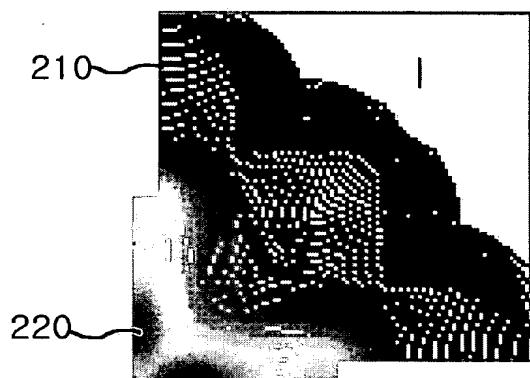
【도 6b】



1020030008010

출력 일자: 2003/9/2

【도 6c】



【도 6d】

